

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-111893
 (43)Date of publication of application : 20.04.2001

(51)Int.Cl. H04N 5/335
 G06T 1/00
 H04N 1/40

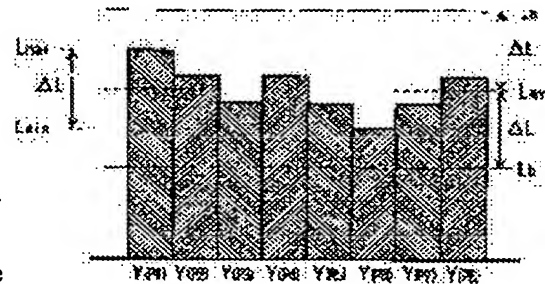
(21)Application number : 11-287117 (71)Applicant : SANYO ELECTRIC CO LTD
 (22)Date of filing : 07.10.1999 (72)Inventor : WATANABE TORU
 TERATANI MASATO

(54) PIXEL DEFECT DETECTION METHOD AND IMAGE PROCESSOR.

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently detect a signal resulting from defective pixels included in an image signal.

SOLUTION: An average level L_{av} , a maximum level L_{max} and a minimum level L_{min} are generated from image signals $Y(P1)-Y(P8)$ of peripheral pixels $P1-P8$ adjacent to a target pixel $P0$. A decision reference value L_w for white level defect is generated by adding the difference ΔL between the maximum level L_{max} and the minimum level L_{min} to the average level L_{av} and a decision reference value L_b for black level defect is generated by subtracting the difference ΔL between the maximum level L_{max} and the minimum level L_{min} from the average level L_{av} . Then, by comparing the decision reference values L_w , L_b respectively with the image signal $Y(P0)$ of the target pixel, defective pixels can be discriminated.



LEGAL STATUS

[Date of request for examination] 20.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3717725

[Date of registration] 09.09.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-111893

(P2001-111893A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 4 N	5/335	H 0 4 N 5/335	P 5 B 0 4 7
G 0 6 T	1/00	G 0 6 F 15/64	4 0 0 E 5 C 0 2 4
H 0 4 N	1/40		4 0 0 M 5 C 0 7 7
		H 0 4 N 1/40	1 0 1 Z

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平11-287117

(22) 出願日 平成11年10月7日 (1999.10.7)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 渡辺 透

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 寺谷 昌人

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

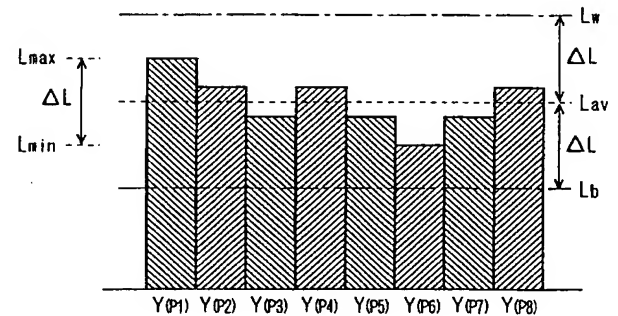
最終頁に続く

(54) 【発明の名称】 画素欠陥検出方法及び画像処理装置

(57) 【要約】

【課題】 画像信号に含まれる画素欠陥を効率よく検出する。

【解決手段】 目標画素 P0 に隣接する周辺画素 P1 ~ P8 の画像信号 Y (P1) ~ Y (P8) から、平均レベル L_{av} 、最大レベル L_{max} 、最小レベル L_{min} を生成する。最大レベル L_{max} と最小レベル L_{min} との差 ΔL を、平均レベル L_{av} に加算して白欠陥の判定基準値 L_w を生成し、平均レベル L_{av} から減算して黒欠陥の判定基準値 L_b を生成する。そして、各判定基準値 L_w 、 L_b を目標画素の画像信号 Y (P0) と比較し、画素欠陥を判別する。



【特許請求の範囲】

【請求項 1】 1 画面の画像信号に含まれる画素欠陥を検出する検出方法であって、目標画素に隣接する複数の周辺画素の平均レベルを算出するステップと、上記複数の周辺画素の最大レベル及び最小レベルを検出するステップと、上記最大レベルと上記最小レベルとの差を上記平均レベルに加算して第 1 の判定基準値とし、上記最大レベルと上記最小レベルとの差を上記平均レベルから減算して第 2 の判定基準値とするステップと、を有し、目標画素のレベルが上記第 1 の判定基準値よりも大きいとき、あるいは、上記第 2 の判定基準値よりも小さいとき、その目標画素を欠陥画素と判定することを特徴とする画素欠陥検出方法。

【請求項 2】 上記第 1 の判定基準値に対してオフセット値を加算すると共に、上記第 2 の判定基準値からオフセット値を減算することを特徴とする請求項 1 に記載の画素欠陥検出方法。

【請求項 3】 上記周辺画素の平均レベルに基づいて上記オフセット値を設定することを特徴とする請求項 2 に記載の画素欠陥検出方法。

【請求項 4】 適数行分の画像信号を保持し、目標画素に対応する画像信号と共に、目標画素に隣接する複数の周辺画素に対応する画像信号を供給するメモリ回路と、上記目標画素のレベルを上記複数の周辺画素のレベルと対比して欠陥画素を検出する欠陥検出回路と、上記欠陥検出回路の検出結果にตอบสนองして上記目標画素の欠陥を補正する欠陥補正回路と、を備え、上記欠陥検出回路は、上記複数の周辺画素の最大レベルと最小レベルとの差を上記複数の周辺画素の平均レベルに対して加算または減算して判定基準値を生成し、この判定基準値と上記目標画素のレベルとを比較して画素欠陥を判定することを特徴とする画像処理装置。

【請求項 5】 上記欠陥検出回路は、上記周辺画素に対応する画像信号のレベルに応じて設定されるオフセット値を上記判定基準値に加算することを特徴とする請求項 4 に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像信号に含まれる画素欠陥を検出する検出方法及び、この検出方法を用いて画素欠陥を補正する画像処理装置に関する。

【0002】

【従来の技術】CCD イメージセンサ等の固体撮像素子においては、画素の受光レベルには関係なく、常に一定の電荷が蓄積されて固定レベルを出力するようになる、いわゆる画素欠陥を生じる場合がある。このため、固体撮像素子から得られる画像信号に対する信号処理の過程において、再生画面上に画素欠陥が現れないようする欠陥補正処理が行われる。

【0003】図 7 は、画素欠陥の補正処理を行うように

した撮像装置の構成を示すブロック図である。

【0004】CCD イメージセンサ 1 は、複数の受光画素が行列配置され、受光した被写体画像に応じて各受光画素に情報電荷を蓄積する。この CCD 1 は、垂直駆動信号 ϕ_v 及び水平駆動信号 ϕ_H によって駆動され、各受光画素に蓄積された情報電荷が 1 ライン単位で順次転送出力されて、所定のフォーマットに従う画像信号 Y0 を出力する。駆動回路 2 は、垂直同期信号 VD 及び水平同期信号 HD に従い、CCD 1 を駆動する垂直駆動信号 ϕ_v 及び水平駆動信号 ϕ_H を生成し、CCD 1 に供給する。

【0005】タイミング制御回路 3 は、一定周期の基準クロックを分周し、垂直走査のタイミングを決定する垂直同期信号 VD 及び水平走査のタイミングを決定する水平同期信号 HD を生成し、駆動回路 2 に供給する。例えば、NTSC フォーマットの場合、14.32MHz の基準クロックを 910 分周して水平同期信号 HD を生成し、この水平同期信号を 525/2 分周して垂直同期信号 VD を生成する。また、タイミング制御回路 3 は、後述する信号処理回路 4 及び欠陥補正回路 5 に対して、それぞれの動作タイミングを CCD 1 の動作タイミングに同期させるためのタイミング信号を供給する。

【0006】信号処理回路 4 は、CCD 1 から出力される画像信号 Y0 に対して、サンプルホールド、レベル補正等の信号処理を施し、画像信号 Y1 として出力する。例えば、サンプルホールド処理においては、信号レベルとリセットレベルとを繰り返す画像信号 Y0 に対して、リセットレベルをクランプした後に信号レベルを取り出すようにして、信号レベルを継続する画像信号 Y1 を生成する。また、レベル補正処理においては、出力される画像信号 Y1 の平均レベルを目標範囲内に収めるようにしてゲインの帰還制御が施される。この信号処理回路 4 においては、画像信号 Y0 をサンプルホールドした後、サンプルホールド値が A/D 変換され、それ以降はデジタル処理が採用される傾向にある。

【0007】欠陥補正回路 5 は、補正情報メモリ 6 に記憶された補正情報に基づいて、画像信号 Y1 に対して欠陥補正処理を施す。例えば、欠陥が生じた画素の情報を、その前後の画素の情報の平均値に置き換えるように構成される。補正情報メモリ 6 は、CCD 1 の欠陥画素の位置を記憶するもので、例えば、予め CCD 1 の出力をモニタして欠陥画素の位置を検出し、その検出結果を補正アドレス情報として記憶する。

【0008】

【発明が解決しようとする課題】CCD 1 は、同一工程で製造されたチップであっても、各チップ毎に欠陥画素の発生する位置が異なるため、撮像装置に用いる CCD 1 は、個々に画素欠陥の位置を検出し、補正情報メモリ 6 に記憶する補正アドレス情報を生成する必要がある。このため、組立工程におけるコストの増大を招いている。

【0009】また、CCD1の欠陥画素は、経時変化によって増えることがあり、そのような経時変化が生じた場合には、補正情報メモリ6の補正アドレス情報を書き換えなければならない。しかしながら、撮像装置の一般的な使用者は、補正情報メモリ6の内容を書き換えるための手段を備えていないため、補正情報メモリ6の補正情報アドレスを書き換えることは、事実上困難である。

【0010】そこで本発明は、組立工程のコストを増大させることなく、素子の経時変化による画素欠陥の変化にも対応できるようにすることを目的とする。

【0011】

【課題を解決するための手段】本発明は、上述の課題を解決するために成されたもので、その特徴とするところは、1画面の画像信号に含まれる画素欠陥を検出する検出方法であって、目標画素に隣接する複数の周辺画素の平均レベルを算出するステップと、上記複数の周辺画素の最大レベル及び最小レベルを検出するステップと、上記最大レベルと上記最小レベルとの差を上記平均レベルに加算して第1の判定基準値とし、上記最大レベルと上記最小レベルとの差を上記平均レベルから減算して第2の判定基準値とするステップと、を有し、目標画素のレベルが上記第1の判定基準値よりも大きいとき、あるいは、上記第2の判定基準値よりも小さいとき、その目標画素を欠陥画素と判定することにある。

【0012】そして、本発明の画像処理装置の特徴とするところは、適数行分の画像信号を保持し、目標画素に対応する画像信号と共に、目標画素に隣接する複数の周辺画素に対応する画像信号を供給するメモリ回路と、上記目標画素のレベルを上記複数の周辺画素のレベルと対比して欠陥画素を検出する欠陥検出回路と、上記欠陥検出回路の検出結果に応答して上記目標画素の欠陥を補正する欠陥補正回路と、を備え、上記欠陥検出回路は、上記複数の周辺画素の最大レベルと最小レベルとの差を上記複数の周辺画素の平均レベルに対して加算または減算して判定基準値を生成し、この判定基準値と上記目標画素のレベルとを比較して画素欠陥を判定することにある。

【0013】本発明によれば、目標画素に対して、その周辺画素の平均レベルに周辺画素の最大値と最小値との差を加算または減算して生成した判定基準値を参照することで、再生画面上で視覚的に認識される画素欠陥を的確に検出することができる。そして、検出された画素欠陥を逐次補正することで、経時変化による画素欠陥の変化にも対応できる。

【0014】

【発明の実施の形態】図1は、本発明の画素欠陥の検出方法を説明するための図であり、目標画素の周辺に隣接する周辺画素を表す画像信号のレベルと、これらのレベルから算出される画素欠陥の判定レベルとの関係を示している。この実施形態においては、図2に示すように、

目標画素P0に対して、目標画素P0に隣接する8個の周辺画素P1～P8を参照して画素欠陥の判定を行う場合を示している。

【0015】最初のステップでは、周辺画素P1～P8を表す8画素分の画像信号Y(P1)～Y(P8)の平均レベルLavを算出する。続く第2のステップでは、周辺画素P1～P8を表す8画素分の画像信号Y(P1)～Y(P8)の最大レベルLmax及び最小レベルLminを算出する。第3のステップでは、最大レベルLmaxから最小レベルLminを減算し、両レベルの差ΔLを算出する。そして、第4のステップでは、第1のステップで算出した平均レベルLavに差ΔLを加算し、白欠陥を検出するための第1の判定基準値Lwを生成する。同時に、第5のステップでは、第1のステップで算出した平均レベルLavから差ΔLを減算し、黒欠陥を検出するための第2の判定基準値Lbを生成する。尚、上述の第1のステップと第2のステップとの順序、あるいは、第4のステップと第5のステップとの順序については、それぞれ逆であってもよい。

【0016】第1～第5のステップによって生成された第1の判定基準値Lw及び第2の判定基準値Lbは、周辺画素の状況によって変化し、常に最適な値に保たれることになる。ここで、判定基準値Lw、Lbについては、周辺画素のレベル差が小さいとき、平均レベルLavに近い値となり、周辺画素のレベル差が大きいときには、平均レベルLavから離れた値となる。従って、画面上で濃淡の差が小さい領域では判定基準値Lw、Lbの範囲が狭くなり、逆に、濃淡の差が大きい領域では判定基準値Lw、Lbの範囲が広がるため、視覚的に目立ちやすい画素欠陥を効率よく検出できる。

【0017】また、第1～第5のステップにおいて生成された第1の判定基準値Lw及び第2の判定基準値Lbに対して、周辺画素P1～P8の画像信号Y(P1)～Y(P8)のレベルに応じたオフセットをそれぞれ加算及び減算する第6のステップを設けてもよい。即ち、画面上の暗い領域に白欠陥があると目立つが、明るい領域に白欠陥があっても目立たないため、第1の判定基準値Lwに加算するオフセットを、周辺画素の平均レベルLavが高いときには大きく設定し、低いときには小さく設定する。逆に、画面上の明るい領域に黒欠陥があると目立つが、暗い領域に黒欠陥があっても目立たないため、第2の判定基準値Lbから減算するオフセットを、周辺画素の平均レベルLavが低いときには大きく設定し、高いときには小さく設定する。このようなオフセットは、画像信号Y(P1)～Y(P8)の平均レベルに応じて設定することや、画像信号の処理の過程におけるゲインレベルに応じて設定すること、さらには、それらを組み合わせること等が有効である。これにより、視覚的に目立ちやすい画素欠陥をさらに効率よく検出できる。

【0018】そして、第1の判定基準値Lwと目標画素P0を表す画像信号Y(P0)とを比較し、画像信号Y(P0)

が第1の判定基準値を超えていた場合には、その目標画素P0を白欠陥であると判定する。同様に、第2の判定基準値Lbと目標画素P0を表す画像信号Y(P0)とを比較し、画像信号Y(P0)が第2の判定基準値に達していなかった場合には、その目標画素P0を黒欠陥であると判定する。このような画素欠陥の判定は、1行単位で連続する画像信号Y(n)に対して逐次行い、それぞれの判定のタイミングに同期して欠陥画素を補正すれば、画素欠陥を容易に補正できる。あるいは、画素欠陥と判定された画素のタイミングを水平走査線番号及び画素番号に基づくアドレス情報として記憶し、次のフィードから、そのアドレス情報に基づいて画素欠陥を補正するようにしてもよい。この場合、適数フィールド毎に画素欠陥の位置を示すアドレス情報を更新するようにすれば、経時変化による画素欠陥の変化にも対応することができる。

【0019】以上のような画素欠陥の検出方法によれば、予め撮像素子の画素欠陥の位置を検出しておく必要がなく、そのための工程を省くことができるため、製造コストの低減が図れる。また、画素欠陥の検出は、画像信号の入力に合わせて逐次行っているため、撮像素子の経時変化によって欠陥画素が増加したり、画素欠陥が無くなったりした場合でも、常に画素欠陥の正しい位置を検出することができる。

【0020】図3は、上述の画素欠陥の検出方法を採用した画像処理装置の構成を示すブロック図である。

【0021】本発明の画像処理装置は、メモリ回路11、欠陥検出回路12、オフセット算出回路13、遅延回路14及び欠陥補正回路15より構成される。この画像処理装置においては、撮像素子の出力に対して所定の処理が施され、A/D変換されてデジタルデータとして与えられる画像信号Y(n)に対して画素欠陥の補正処理を施すように構成される。

【0022】メモリ回路11は、複数のラインメモリと複数のラッチとを備え、1行単位で連続して入力される画像信号Y(n)を取り込み、目標画素P0に対応する画像信号Y(P0)と、その周辺画素P1～P8に対応する画像信号Y(P1)～Y(P8)とを並列に同時に出力する。

【0023】欠陥検出回路12は、メモリ回路11から入力される周辺画素P1～P8の画像信号Y(P1)～Y(P8)に基づいて白欠陥を判定するための判定基準値Lwと黒欠陥を判定するための判定基準値Lbとを生成し、これらの判定基準値Lw、Lbと目標画素P0の画像信号Y(P0)とを比較して画素欠陥を検出する。この判定基準値Lw、Lbは、上述の画素欠陥の検出方法に示したとおり、画像信号Y(P1)～Y(P8)の平均レベルLavに対して画像信号Y(P1)～Y(P8)の最大レベルLmaxと最小レベルLminとの差ΔLを加算及び減算することによって算出される。さらに、オフセット算出回路13から与えられるオフセットレベルLosを判定基準値Lw、Lbにそれぞれ加算及び減算するようにしている。そして、画像信号Y(P

0)をオフセットが与えられた判定基準値Lw、Lbと逐次比較し、画像信号Y(P0)のレベルが判定基準値Lwを超えているときに白欠陥の検出を示す検出力Dwを立ち上げ、同様に、画像信号Y(P0)のレベルが判定基準値Lbに達していないときに黒欠陥の検出を示す検出力Dbを立ち上げる。

【0024】オフセット算出回路13は、周辺画素P1～P8の画像信号Y(P1)～Y(P8)に基づいて、判定基準値Lw、Lbに与えるオフセットレベルLosを算出する。このオフセット算出回路13においては、例えば、画像信号Y(P1)～Y(P8)の平均レベルLavに所定の係数を乗算することや、予め設定した変換テーブルを参照することによってオフセットレベルLosが算出される。尚、オフセットレベルLosについては、画像信号Y(n)を生成する過程で与えられるゲインに基づいて算出すること、このゲインと画像信号Y(P1)～Y(P8)の平均レベルLavとの両方に基づいて算出ことも可能である。

【0025】遅延回路14は、メモリ回路11から入力される目標画素P0の画像信号Y(P0)を取り込み、欠陥検出回路12における処理に要する時間だけ遅延することで、画像信号Y(P0)の出力のタイミングを、検出力Dw、Dbの立ち上がりのタイミングに一致させる。そして、欠陥補正回路15は、検出力Dw、Dbの立ち上がりのタイミングで、画像信号Y(P0)を補正信号Y(c)に置き換える。この補正信号Y(c)は、例えば、目標画素P0の上下に位置する周辺画素P2、P7の画像信号Y(P2)、Y(P7)と、上下に位置する周辺画素P4、P5の画像信号Y(P4)、Y(P5)とを平均することにより生成される。従って、欠陥検出回路12において、目標画素P0が白欠陥または黒欠陥であると判定されると、その画像信号Y(P0)は、欠陥補正回路15において補正信号Y(c)に置き換えられる。これにより、欠陥補正回路15からは、白欠陥及び黒欠陥が補正された画像信号Y'(n)が出力されることになる。

【0026】図4は、メモリ回路11の一例を示すブロック図である。このメモリ回路11は、第1、第2のラインメモリ21、22及び第1～第6のラッチ23～28より構成される。

【0027】第1及び第2のラインメモリ21、22は、互いに直列に接続され、順次入力される画像信号Y(n)が第1のラインメモリ21に書き込まると共に、第1のラインメモリ21から順次読み出される画像信号Y(n)が第2のラインメモリ22に書き込まれる。これにより、順次入力されてくる画像信号Y(n)に対して、第1のラインメモリ21からは、1行前の画像信号Y(n)が読み出され、第2のラインメモリ22からは、2行前の画像信号Y(n)が読み出される。

【0028】第1及び第2のラッチ23、24は、画像信号Y(n)の入力に対して直列に接続され、1画素前の画像信号Y(n)が第1のラッチ23に保持され、2画素

前の画像信号 $Y(n)$ が第2のラッチ24に保持される。これより、入力される画像信号 $Y(n)$ が、そのまま周辺画素P8に対応する画像信号 $Y(P8)$ として出力され、第1及び第2のラッチ23、24に保持された画像信号 $Y(n)$ が、それぞれ周辺画素P7、P6に対応する画像信号 $Y(P7)$ 、 $Y(P6)$ として出力される。

【0029】第3及び第4のラッチ25、26は、第1のラインメモリ21の入力に対して直列に接続され、1行前で且つ1画素前の画像信号 $Y(n)$ が第3のラッチ25に保持され、2画素前の画像信号 $Y(n)$ が第4のラッチ26に保持される。これより、第1のラインメモリから読み出される画像信号 $Y(n)$ が、周辺画素P5に対応する画像信号 $Y(P5)$ として出力され、第3及び第4のラッチ25、26に保持された画像信号 $Y(n)$ が、それぞれ目標画素P0に対応する画像信号 $Y(P0)$ 及び周辺画素P4に対応する画像信号 $Y(P4)$ として出力される。

【0030】同様に、第5及び第6のラッチ27、28は、第2のラインメモリ22の入力に対して直列に接続され、2行前で且つ1画素前の画像信号 $Y(n)$ が第5のラッチ27に保持され、2画素前の画像信号 $Y(n)$ が第6のラッチ28に保持される。これより、第2のラインメモリから読み出される画像信号 $Y(n)$ が、周辺画素P3に対応する画像信号 $Y(P3)$ として出力され、第5及び第6のラッチ27、28に保持された画像信号 $Y(n)$ が、それぞれ周辺画素P2、P1に対応する画像信号 $Y(P2)$ 、 $Y(P1)$ として出力される。

【0031】以上のメモリ回路11においては、画像信号 $Y(n)$ を順次取り込みながら、目標画素P0の画像信号 $Y(P0)$ と、その周辺に位置する周辺画素P1～P8の画像信号 $Y(P1) \sim Y(P8)$ とが並列に出力されるようになる。

【0032】図5は、欠陥検出回路12の構成を示すブロック図である。この欠陥検出回路12は、平均値算出部31、最大値検出部32、最小値検出部33、第1～第3の減算器34～36、第1、第2の加算器37、38及び第1、第2の比較器39、40より構成される。

【0033】平均値算出部31は、周辺画素P1～P8の画像信号 $Y(P1) \sim Y(P8)$ をそれぞれ取り込み、それらの平均レベル L_{av} を算出する。最大値検出部32及び最小値検出部33は、画像信号 $Y(P1) \sim Y(P8)$ のうちの最大レベル L_{max} 及び最小レベル L_{min} をそれぞれ検出する。

【0034】第1の減算器34は、最大値検出部32から入力される最大レベル L_{max} から、最小値検出部33から入力される最小レベル L_{min} を減算し、それらの差 ΔL を算出する。そして、第1の加算器37は、平均値算出部31から入力される平均レベル L_{av} に差 ΔL を加算し、第2の減算器35は、平均レベル L_{av} から差 ΔL を減算する。第2の加算器38は、第1の加算器37の加算結果にオフセットレベル L_{os} を加算し、白欠陥を判定するための判定基準値 L_w を生成する。そして、第3の減算器36は、第2の減算器35の減算結果からオフ

セットレベル L_{os} を減算し、黒欠陥を判定するための判定基準値 L_b を生成する。

【0035】第1の比較器39は、第2の加算器38から入力される判定基準値 L_w と目標画素P0の画像信号 $Y(P0)$ とを比較し、画像信号 $Y(P0)$ のレベルが判定基準値 L_w を超えたとき、即ち、目標画素P0が白欠陥であると判定されたときに立ち上げられる検出出力 D_w を発生する。第2の比較器40は、第3の減算器36から入力される判定基準値 L_b と目標画素P0の画像信号 $Y(P0)$ とを比較し、画像信号 $Y(P0)$ のレベルが判定基準値 L_b に達しなかったとき、即ち、目標画素P0が黒欠陥であると判定されたときに立ち上げられる検出出力 D_b を発生する。

【0036】以上の欠陥検出回路12においては、メモリ回路11から入力される画像信号 $Y(P1) \sim Y(P8)$ に基づいて画像信号 $Y(P0)$ が白欠陥または黒欠陥であるか否かが逐次判定され、検出出力 D_w 、 D_b が立ち上げられる。

【0037】図6は、欠陥補正回路15の構成を示すブロック図である。この欠陥補正回路15は、第1～第4の除算器41～44、第1～第3の加算器45～47及びセレクタ48より構成される。この欠陥補正回路15においては、目標画素P0の上下に位置する周辺画素P2、P7の画像信号 $Y(P2)$ 、 $Y(P7)$ と、上下に位置する周辺画素P4、P5の画像信号 $Y(P4)$ 、 $Y(P5)$ とに基づいて補正信号 $Y(c)$ を生成する場合を示している。

【0038】第1～第4の除算器41～44は、メモリ回路11から入力される画像信号 $Y(P2)$ 、 $Y(P7)$ 、 $Y(P4)$ 、 $Y(P5)$ をそれぞれ1/4にする。第1の加算器45は、第1及び第2の除算器41、42の除算結果を加算し、第2の加算器46は、第3及び第4の除算器43、44の除算結果を加算する。そして、第3の加算器47は、第1の加算器45の加算結果と第2の加算器46に加算結果とを加算し、補正信号 $Y(c)$ を生成する。セレクタ48は、欠陥検出回路12から入力される検出出力 D_w 、 D_b に応答して、目標画素P0の画像信号 $Y(P0)$ または補正信号 $Y(c)$ の何れかを選択し、画素欠陥を補正した画像信号 $Y'(P0)$ として出力する。即ち、セレクタ48は、画素欠陥がなく、検出出力 D_w 、 D_b の何れも立ち上がっていない間は画像信号 $Y(P0)$ を選択し、検出出力 D_w 、 D_b の何れかが立ち上がったときに限って補正信号 $Y(c)$ を選択するように構成される。これにより、画像信号 $Y(n)$ に画素欠陥があった場合には、検出出力 D_w 、 D_b に応答して、補正信号 $Y(c)$ によって補正される。

【0039】以上の実施形態においては、判定基準値を目標画素に隣接する3行×3列の合計8個の周辺画素のレベルに基づいて決定する場合を例示したが、それ以上、例えば、3行×5列の14個の周辺画素や、5行×5列の24個の周辺画素のレベルに基づいて判定基準値

を設定するようにしてもよい。

【0040】

【発明の効果】本発明によれば、連続して入力される画像信号に含まれる画素欠陥を逐次検出することができる。このとき、画素欠陥を判定する判定基準値は、周辺の画像の状態に応じて変動するため、高輝度部分あるいは低輝度部分で誤った検出が成されるのを防止することができ、再生画面上で視覚的に目立つ画素欠陥が効率的に検出できるようになる。

【0041】また、画素欠陥を逐次検出しながら、その検出結果に応じて画素欠陥を補正するようにしたこと

【図面の簡単な説明】

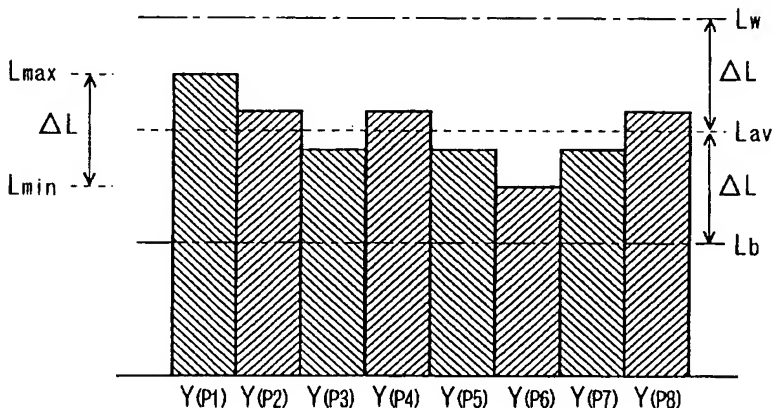
【図1】本発明の画素欠陥検出方法に用いる判定基準値と周辺画素のレベルとの関係を示す図である。

【図2】目標画素と周辺画素との位置関係を示す平面図である。

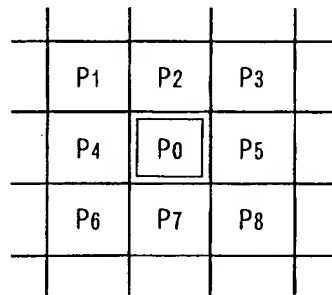
【図3】本発明の画像処理装置の構成を示すブロック図である。

【図4】メモリ回路の構成を示すブロック図である。

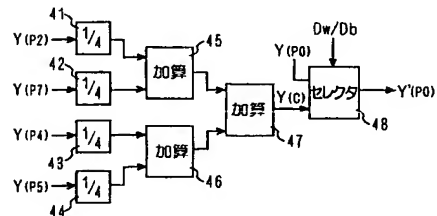
【図1】



【図2】



【図6】



【図5】欠陥検出回路の構成を示すブロック図である。

【図6】欠陥補正回路の構成を示すブロック図である。

【図7】固体撮像装置の構成を示すブロック図である。

【符号の説明】

- 1 CCDイメージセンサ
- 2 駆動回路
- 3 タイミング制御回路
- 4 信号処理回路
- 5 欠陥補正回路
- 6 補正情報メモリ
- 11 メモリ回路
- 12 欠陥検出回路
- 13 オフセット算出回路
- 14 遅延回路
- 15 欠陥補正回路
- 21、22 ラインメモリ
- 23～28 ラッチ
- 31 平均値算出部
- 32 最大値検出部
- 33 最小値検出部
- 34～36 減算器
- 37、38 加算器
- 41～44 除算器
- 45～47 加算器
- 48 セレクタ

```

graph LR
    Yn[Y(n)] --> 11[メモリ]
    11 --> 12[欠陥検出]
    11 --> 14[遅延]
    12 -- Los --> 13[オフセット算出]
    Yp1p8[Y(P1)~Y(P8)] --> 13
    13 -- Dw, Db --> 15[欠陥補正]
    14 --> 15
    15 -- Y'(n) --> Out
    style Out fill:none,stroke:none

```

Figure 1 is a block diagram of a fuzzy inference system. The system takes inputs $Y(p1), Y(p2), \dots, Y(p8)$ and processes them through three parallel paths: average output (31), maximum output (32), and minimum output (33). The average output (31) is multiplied by Lwv (37) to produce Los (38). The maximum output (32) is multiplied by $Lmax$ (37) to produce Los (38). The minimum output (33) is multiplied by $Lmin$ (34) to produce ΔL (35). The Los (38) is then multiplied by $Y(p0)$ (39) to produce Dw . The ΔL (35) is then multiplied by $Y(p0)$ (40) to produce Db .

フロントページの続き

Fターム(参考) 5B047 AB02 BB04 CB05 DA06 DC02
DC11
5C024 AA01 CA09 FA01 GA11 HA00
HA01 HA11 HA12 HA18 HA23
5C077 LL02 LL11 MM03 PP05 PP10
PP43 PP46 PP52 PP53 PP54
PP68 PQ12 PQ18 PQ20 PQ22